

SEMICONDUCTOR SUBSTRATE AND METHOD OF MANUFACTURING THE SAME

Patent number: JP2003282463
Publication date: 2003-10-03
Inventor: WATANABE YUKIMUNE
Applicant: SEIKO EPSON CORP
Classification:
- **International:** H01L21/205; H01L21/20; H01L21/3063; H01L29/161;
H01L29/26
- **European:**
Application number: JP20020089826 20020327
Priority number(s): JP20020089826 20020327

Report a data error here

Abstract of JP2003282463

<P>PROBLEM TO BE SOLVED: To provide a semiconductor substrate which sufficiently reduces the strain of a crystal layer caused by a difference in a lattice constant by a simple process when forming the crystal layer containing an element having a lattice constant larger than that of silicon on a silicon substrate, and also to provide a method of manufacturing the same. <P>SOLUTION: Pores formed in a high porous layer 2 and in a low porous layer 3 are oxidized and thereby an oxide film 4 is formed on the surface of each pore. Since the high porous layer 2 and the low porous layer 3 are physically extended by the oxide film 4, crystal lattices of silicon are stretched and a distance between the lattices is enlarged. Consequently, the strain of an epitaxial growth layer 5 in which germanium is contained having a lattice constant larger by about 4% than that of silicon can be reduced. <P>COPYRIGHT: (C) 2004,JPO

Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-282463

(P 2 0 0 3 - 2 8 2 4 6 3 A)

(43) 公開日 平成15年10月3日(2003.10.3)

(51) Int. Cl. ⁷	識別記号	F I	ターコード (参考)
H01L 21/205		H01L 21/205	5F043
21/20		21/20	5F045
21/3063		29/161	5F052
29/161		29/26	
29/26		21/306	L
		審査請求 未請求 請求項の数 7	O L (全5頁)

(21) 出願番号 特願2002-89826 (P 2002-89826)

(22) 出願日 平成14年3月27日(2002.3.27)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 渡邊 幸宗

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅誉 (外2名)

Fターム(参考) 5F043 AA09 BB01 DD14 GG10

5F045 AA04 AB01 AB05 AF03 BB11

BB12 DA69 HA02 HA03 HA06

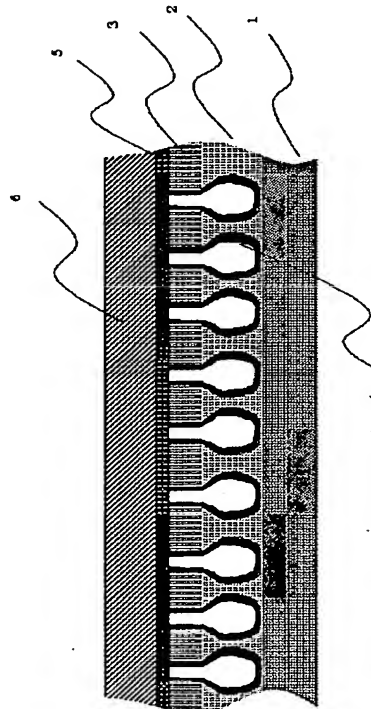
5F052 DA01 DA03 DB01 KA01 KA05

(54) 【発明の名称】 半導体基板およびその製造方法

(57) 【要約】

【課題】 本発明は、シリコン基板上にシリコンよりも格子定数大きい元素を含む結晶層を形成するに際し、簡単なプロセスで、格子定数の違いから生じる結晶層の歪みを十分に緩和することができる半導体基板およびその製造方法を提供することを課題とする。

【解決手段】 高多孔質層2および低多孔質層3の孔は酸化され、孔の表面には、酸化膜4が形成されており、酸化膜4により高多孔質層2および低多孔質層3は、物理的に拡げられ、シリコンの結晶格子が引っ張られて格子の間隔が広がっている。従って、シリコンの格子定数よりも約4%大きい格子定数を有するゲルマニウムが含まれたエピタキシャル成長層5の歪みを緩和することができる。



【特許請求の範囲】

【請求項 1】 シリコン基板上にシリコンよりも格子定数が大きい元素を含む結晶層を形成する半導体基板であって、

前記シリコン基板上に形成された多孔質層と、
該多孔質層上に形成された再結晶層と、
該再結晶層上に形成された前記結晶層とを具備し、
前記多孔質層の孔の表面が酸化されていることを特徴とする半導体基板。

【請求項 2】 前記結晶層は、ゲルマニウム膜、シリコンゲルマニウム混晶膜、ⅠⅠⅠ族およびⅤ族元素による化合物を含む半導体膜もしくはⅠⅠⅠ族元素の窒化物を含む半導体膜であることを特徴とする請求項 1 記載の半導体基板。

【請求項 3】 前記多孔質層は、前記シリコン基板の垂直方向に多孔度が連続的もしくは段階的に異なっていることを特徴とする請求項 1 又は 2 記載の半導体基板。

【請求項 4】 前記多孔質層は、前記シリコン基板の垂直方向に不純物濃度が連続的もしくは段階的に異なっていることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体基板。

【請求項 5】 シリコン基板上にシリコンよりも格子定数が大きい元素を含む結晶層を形成する半導体基板の製造方法であって、

前記シリコン基板上に多孔質層を形成する多孔質層形成工程と、

前記多孔質層の孔の表面を酸化させる酸化工程と、
還元雰囲気中で熱処理によって前記多孔質層の表面に再結晶層を形成する再結晶層形成工程と、

前記再結晶層上に前記元素を含む前記結晶層を形成する結晶層形成工程とを有することを特徴とする半導体基板の製造方法。

【請求項 6】 前記多孔質層形成工程は、前記シリコン基板の垂直方向に多孔度が連続的もしくは段階的に異なる前記多孔質層を形成することを特徴とする請求項 5 記載の半導体基板の製造方法。

【請求項 7】 前記再結晶層形成工程は、前記元素を含む還元雰囲気中で熱処理を行うことを特徴とする請求項 5 又は 6 記載の半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板およびその製造方法に関し、特にシリコン基板上にゲルマニウムもしくはシリコンゲルマニウム混晶の半導体結晶が形成された半導体基板およびその製造方法に関する。

【0002】

【従来の技術】従来、シリコン基板上にゲルマニウム（Ge）もしくはシリコンゲルマニウム（SiGe）混晶の半導体結晶をエピタキシャル成長させた場合には、シリコンとゲルマニウムとの格子定数が異なるため、エ

ピタキシャル成長させたゲルマニウム層もしくはシリコンゲルマニウム混晶層は、歪みを含んだ層となってしまう。

【0003】そこで、シリコン基板上のシリコンゲルマニウム混晶のゲルマニウム組成を段階的に変化させ、徐々に歪みを解放していくバッファ層を設けることにより、歪みが緩和されたゲルマニウム層もしくはシリコンゲルマニウム混晶層を形成する技術が知られている。

【0004】また、SOI 基板上にシリコンゲルマニウム混晶層をエピタキシャル成長させた後に、窒素雰囲気中で 5 時間熱処理（900℃）を行うことにより、シリコンゲルマニウム混晶層の歪みを緩和させる技術も知られている。

【0005】

【発明が解決しようとする課題】しかしながら、従来のゲルマニウム組成を段階的に変化させたバッファ層を形成して歪みを緩和させる技術では、形成するシリコンゲルマニウム混晶層のゲルマニウム組成が大きくなると、厚いバッファ層を形成する必要がある、プロセス時間が非常に長くなると共に、ゲルマニウム組成を段階的に変化させたバッファ層では、バッファ層上にシリコンゲルマニウム混晶層の歪みを十分に緩和することができないという問題点があった。

【0006】また、従来の SOI 基板を使用して熱処理を行って歪みを緩和させる技術では、結晶性回復のために高温で長時間の熱処理を施す必要がある、プロセス時間が非常に長くなると共に、シリコンゲルマニウム混晶層の歪みを十分に緩和することができないという問題点があった。

【0007】本発明は斯かる問題点を鑑みてなされたものであり、その目的とするところは、シリコン基板上にシリコンよりも格子定数が大きい元素を含む結晶層を形成するに際し、簡単なプロセスで、格子定数の違いから生じる結晶層の歪みを十分に緩和することができる半導体基板およびその製造方法を提供する点にある。

【0008】

【課題を解決するための手段】本発明は上記課題を解決すべく、以下に掲げる構成とした。請求項 1 記載の発明の要旨は、シリコン基板上にシリコンよりも格子定数が大きい元素を含む結晶層を形成する半導体基板であって、前記シリコン基板上に形成された多孔質層と、該多孔質層上に形成された再結晶層と、該再結晶層上に形成された前記結晶層とを具備し、前記多孔質層の孔の表面が酸化されていることを特徴とする。また請求項 2 記載の発明の要旨は、請求項 1 記載の半導体基板であって、前記結晶層は、ゲルマニウム膜、シリコンゲルマニウム混晶膜、ⅠⅠⅠ族およびⅤ族元素による化合物を含む半導体膜もしくはⅠⅠⅠ族元素の窒化物を含む半導体膜であることを特徴とする。また請求項 3 記載の発明の要旨は、請求項 1 又は 2 記載の半導体基板であって、前記多

孔質層は、前記シリコン基板の垂直方向に多孔度が連続的もしくは段階的に異なっていることを特徴とする。また請求項 4 記載の発明の要旨は、請求項 1 乃至 3 のいずれかに記載の半導体基板であって、前記多孔質層は、前記シリコン基板の垂直方向に不純物濃度が連続的もしくは段階的に異なっていることを特徴とする。また請求項 5 記載の発明の要旨は、シリコン基板上にシリコンよりも格子定数が大きい元素を含む結晶層を形成する半導体基板の製造方法であって、前記シリコン基板上に多孔質層を形成する多孔質層形成工程と、前記多孔質層の孔の表面を酸化させる酸化工程と、還元雰囲気中での熱処理によって前記多孔質層の表面に再結晶層を形成する再結晶層形成工程と、前記再結晶層上に前記元素を含む前記結晶層を形成する結晶層形成工程とを有することを特徴とする。また請求項 6 記載の発明の要旨は、請求項 5 記載の半導体基板の製造方法であって、前記多孔質層形成工程は、前記シリコン基板の垂直方向に多孔度が連続的もしくは段階的に異なる前記多孔質層を形成することを特徴とする。また請求項 7 記載の発明の要旨は、請求項 5 又は 6 記載の半導体基板の製造方法であって、前記再結晶層形成工程は、前記元素を含む還元雰囲気中で熱処理を行うことを特徴とする。

【0009】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0010】図 1 は、本発明に係る半導体基板の実施の形態の構成を示す断面図である。

【0011】本実施の形態は、図 1 を参照すると、シリコン基板 1 と、シリコン基板 1 上に形成された高多孔質層 2 と、高多孔質層 2 上に形成された高多孔質層 2 よりも多孔度が低い低多孔質層 3 と、低多孔質層 3 の表面に形成された再結晶層 5 と、再結晶層 5 上にエピタキシャル成長させたゲルマニウム膜もしくはシリコンゲルマニウム混晶膜であるエピタキシャル成長層 6 とからなる。

【0012】エピタキシャル成長層 6 を構成する結晶は、シリコンとは格子定数が異なる結晶であり、ゲルマニウムもしくはシリコンゲルマニウム混晶以外に、ⅢⅢ族およびⅤ族元素による化合物を含む半導体、ⅢⅢ族元素の窒化物を含む半導体であっても良い。

【0013】高多孔質層 2 および低多孔質層 3 は、シリコンを含む半導体であり、高多孔質層 2 と低多孔質層 3 とは、多孔度が異なり、高多孔質層 2 の多孔度が高く、低多孔質層 3 の多孔度が低くなっている。また、高多孔質層 2 の不純物濃度と低多孔質層 3 の不純物濃度とが異なるようすと好適であり、この場合には、高多孔質層 2 の不純物濃度を低く、低多孔質層 3 の不純物濃度を高くする。

【0014】高多孔質層 2 および低多孔質層 3 の孔は酸化され、孔の表面には、酸化膜 4 が形成されており、酸化膜 4 により高多孔質層 2 および低多孔質層 3 は、物理

的に拡張され、シリコンの結晶格子が引っ張られて格子の間隔が広がっている。従って、シリコンの格子定数よりも約 4 % 大きい格子定数を有するゲルマニウムが含まれたエピタキシャル成長層 5 の歪みを緩和することができる。高多孔質層 2 と低多孔質層 3 とは、多孔度が異なっているため、酸化膜 4 による物理的な拡張が異なり、低多孔質層 3 は、エピタキシャル成長層 5 の種結晶層として機能し、高多孔質層 2 は、エピタキシャル成長層 5 の歪みを緩和するためのバッファ層として機能する。

【0015】なお、エピタキシャル成長層 5 がシリコンゲルマニウム混晶膜であり、ゲルマニウムの組成が高くない場合には、高多孔質層 2 および低多孔質層 3 の 2 層の多孔層を設けることなく、1 層の孔が酸化された多孔層により、エピタキシャル成長層 5 の歪みを十分に緩和することができる。

【0016】また、本実施の形態では、シリコン基板 1 の垂直方向に多孔度が段階的に異なっている高多孔質層 2 と低多孔質層 3 との 2 つの層を設けたが、シリコン基板 1 の垂直方向に多孔度が異なっていれば、3 以上の複数の多孔度の異なる層を設けても、また、連続的に多孔度が異なる層を形成しても良い。なお、多孔度は、下層の方が高く、上層の方が低くなるように形成される。

【0017】次に、本実施の形態の半導体基板の製造方法について図 2 を参照して詳細に説明する。図 2 は、図 1 に示す半導体基板の製造方法を説明するための製造工程図である。

【0018】まず、シリコン基板 1 上に、図 2 (a) に示すように、例えば CVD 法によりシリコン膜 7 を形成し、さらに、シリコン膜 7 上にシリコン膜 8 を形成する。本実施の形態では、シリコン膜 7、8 の 2 層を積層する構成としたが、さらに、シリコン膜を積層しても良い。

【0019】その後、図 2 (b) に示すように、陽極化成によりシリコン膜 7 とシリコン膜 8 とを多孔質化し、高多孔質層 2 と低多孔質層 3 とを形成する。陽極化成に使用する電解液としては、フッ化水素とエチルアルコールとの混合液を用い、高多孔質層 2 と低多孔質層 3 とには、シリコン基板 1 の垂直方向に伸びる細長い孔が形成される。

【0020】陽極化成では、シリコン膜 7 とシリコン膜 8 との不純物濃度や流す電流の電流密度や電解液の濃度等により、多孔率が決定され、不純物濃度が低いと多孔率が高くなり、不純物濃度が高いと多孔率が低くなり、また、電流密度が大きいと多孔率が高くなり、電流密度が小さいと多孔率が低くなる。従って、シリコン膜 7 とシリコン膜 8 とに不純物を混入し、シリコン膜 8 の不純物濃度をシリコン膜 7 の不純物濃度よりも高くすることにより、高多孔質層 2 と低多孔質層 3 とを容易に形成することができる。

【0021】なお、シリコン膜7とシリコン膜8とに混入する不純物は、低多孔質層3上に形成されるエピタキシャル成長層5に含まれる元素と同一のものであることが好ましい。

【0022】高多孔質層2と低多孔質層3とを形成した後に、酸化処理を行い、図2(c)に示すように、高多孔質層2と低多孔質層3とに形成されている孔の表面に酸化膜4を形成する。酸化処理は、例えば、温度0～80℃の硫酸(H₂SO₄)で10～60分処理を行うことにより行われる。また、酸化処理として、酸素

(O₂) 雰囲気中、400～900℃で10～60分処理を行っても良い。

【0023】次に、酸化処理により低多孔質層3の表面にも酸化膜4が形成されてしまうため、低多孔質層3の表面の酸化膜4を異方性エッチングにより除去する。なお、エッチングガスとしては、CF₄、C₂F₆等のSiO₂をエッチング可能なガスを用いる。

【0024】低多孔質層3の表面の酸化膜を除去した後、水素等の還元雰囲気中にて例えば900℃から1100℃の熱処理を施す。この熱処理により、低多孔質層3の表面付近は、再結晶化し、高品質な再結晶層5が形成される。また、この熱処理にゲルマン等ゲルマニウム原料ガスを微量に供給することにより、再結晶層5をシリコンゲルマニウム混晶膜とすると、再結晶層5上にゲルマニウム結晶膜もしくはシリコンゲルマニウム混晶膜を形成する際に好適である。

【0025】次に、例えばCVD法によりゲルマニウム結晶膜もしくはシリコンゲルマニウム混晶膜をエピタキシャル成長させてエピタキシャル成長5を形成する。形成されたエピタキシャル成長5は、再結晶層5、低多孔質層3および高多孔質層2により歪みが緩和されたゲルマニウム結晶膜もしくはシリコンゲルマニウム混晶膜となる。

【0026】以上説明したように、本実施の形態によれば、孔の表面の酸化により結晶格子の間隔が広がっている多孔質層上に、結晶膜を形成することにより、シリコン基板上にシリコンよりも格子定数が大きい元素を含む結晶層を形成するに際し、簡単なプロセスで、格子定数の違いから生じる結晶層の歪みを十分に緩和することができるという効果を奏する。

【0027】さらに、本実施の形態によれば、孔の表面が酸化された多孔質層の多孔度をシリコン基板の垂直方向に段階的もしくは連続的に異なる構成とすることによ

り、多孔質層を結晶膜の歪みのバッファ層として用いることができ、シリコン基板上にシリコンよりも格子定数が大きい元素を含む結晶層を形成するに際し、簡単なプロセスで、格子定数の違いから生じる結晶層の歪みを十分に緩和することができるという効果を奏する。

【0028】なお、本発明が上記各実施の形態に限定されず、本発明の技術思想の範囲内において、各実施の形態は適宜変更され得ることは明らかである。また、上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等に行うことができる。なお、各図において、同一構成要素には同一符号を付している。

【0029】

【発明の効果】本発明の半導体基板およびその製造方法は、孔の表面の酸化により結晶格子の間隔が広がっている多孔質層上に、結晶膜を形成することにより、シリコン基板上にシリコンよりも格子定数が大きい元素を含む結晶層を形成するに際し、簡単なプロセスで、格子定数の違いから生じる結晶層の歪みを十分に緩和することができるという効果を奏する。

【0030】さらに、本発明の半導体基板およびその製造方法は、孔の表面が酸化された多孔質層の多孔度をシリコン基板の垂直方向に段階的もしくは連続的に異なる構成とすることにより、多孔質層を結晶膜の歪みのバッファ層として用いることができ、シリコン基板上にシリコンよりも格子定数が大きい元素を含む結晶層を形成するに際し、簡単なプロセスで、格子定数の違いから生じる結晶層の歪みを十分に緩和することができるという効果を奏する。

【図面の簡単な説明】

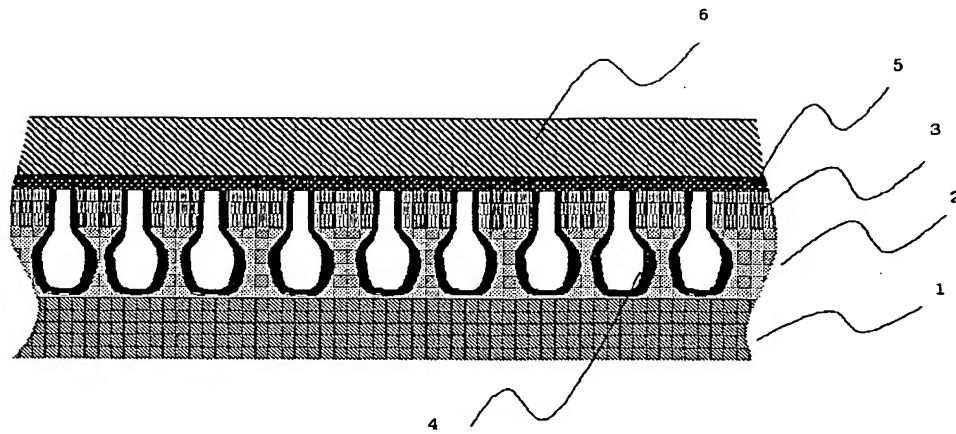
【図1】 本発明に係る半導体基板の実施の形態の構成を示す断面図である。

【図2】 図1に示す半導体基板の製造方法を説明するための製造工程図である。

【符号の説明】

- 1 シリコン基板
- 2 高多孔質層
- 3 低多孔質層
- 4 酸化膜
- 5 再結晶層
- 6 エピタキシャル成長層
- 7、8 シリコン膜

【図 1】



【図 2】

